

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-106660

(43)Date of publication of application : 18.05.1987

(51)Int.Cl.

H01L 27/14

H01L 31/10

(21)Application number : 60-246734

(71)Applicant : AGENCY OF IND SCIENCE &  
TECHNOL  
MATSUSHITA ELECTRIC WORKS  
LTD

(22)Date of filing : 01.11.1985

(72)Inventor : HAYASHI YUTAKA  
TOMONARI SHIGEAKI  
MORI YASUSHI  
KAKINOTE KEIJI

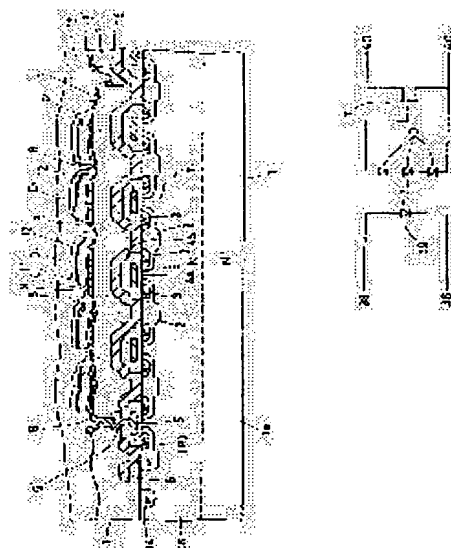
## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To reduce the number of processes of assembling an optical switch composed of optoelectric transducers and switching FET's by forming the optoelectric transducers and the switching FET's on one substrate.

**CONSTITUTION:** A plurality of double diffusion type FET's T1 are composed of electrodes 5 as insulated gates, N+ type layers 3 as sources and parts of an N-type substrate 1 around respective P-type layers as drains and are used as switching devices. On the other hand, optoelectric transducers D1 which drive those FET's T1 are formed on an insulating layer 7 which covers the surfaces of those FET's T1. The optoelectric transducer D1 is composed of a conductive thin film 8, a P-type amorphous silicon layer 9, an I-type layer 10, an N-type layer 11 and a transparent conductive film 12.

The transparent conductive films 12 are contacted with the conductive thin films 8 of the adjoining optoelectric transducers D1 and hence connect a plurality of optoelectric transducers D1 in series. Also, the transparent conductive films 12 are contacted with conductive films 6 which are source electrodes of the respective FET's T1 through conductive films 8' and hence an optoelectric transducer array is inserted and connected between the gates and sources of the FET's.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

***This Page Blank (uspto)***

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

***This Page Blank (uspto)***

***This Page Blank (uspto)***

## ⑫ 公開特許公報(A)

昭62-106660

⑬ Int. Cl.<sup>4</sup>H 01 L 27/14  
31/10

識別記号

庁内整理番号

7525-5F  
Z-6819-5F

⑭ 公開 昭和62年(1987)5月18日

審査請求 有 発明の数 1 (全17頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭60-246734

⑰ 出 願 昭60(1985)11月1日

⑱ 発 明 者 林

豊

茨城県新治郡桜村梅園一丁目1番4号 工業技術院電子技術総合研究所内

⑲ 発 明 者

友 成

恵 昭

門真市大字門真1048番地 松下電工株式会社内

⑲ 発 明 者

森

康 至

門真市大字門真1048番地 松下電工株式会社内

⑲ 発 明 者

柿 手

啓 治

門真市大字門真1048番地 松下電工株式会社内

⑰ 出 願 人

工業技術院長

⑱ 復代理人

弁理士 松本 武彦

⑰ 出 願 人

松下電工株式会社

門真市大字門真1048番地

⑱ 代 理 人

弁理士 松本 武彦

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1) 電界効果トランジスタのゲート・ソース間に、少なくとも、光電変換素子アレイが挿入されていて、スイッチング装置の受光部となる半導体装置であって、前記光電変換素子アレイが、それ以外の素子が形成された半導体基板上に、絶縁層を介して形成されていることを特徴とする半導体装置。

(2) 光電変換素子アレイと並列に接続されたノーマリィ・オンのトランジスタと、このノーマリィ・オンのトランジスタのゲート・ソース間に挿入された第2の光電変換素子アレイとをも備えており、前記ノーマリィ・オンのトランジスタが電界効果トランジスタと同一の半導体基板上に形成されているとともに、第1および第2の光電変換素子アレイがこの半導体基板上に形成された絶縁層の上に形成されている特許請求の範囲第1項記

載の半導体装置。

(3) 光電変換素子アレイと並列に接続されたノーマリィ・オンのトランジスタと、このノーマリィ・オンのトランジスタのゲート・ソース間に挿入された第2の光電変換素子アレイと、この第2の光電変換素子アレイと並列に接続された抵抗性素子とをも備えており、少なくとも、前記ノーマリィ・オンのトランジスタと抵抗性素子とが同一の半導体基板上に形成されているとともに、第1および第2の光電変換素子アレイがこの半導体基板上に形成された絶縁層の上に形成されている特許請求の範囲第1項記載の半導体装置。

## 3. 発明の詳細な説明

(技術分野)

この発明は、スイッチング装置の受光部として用いられる半導体装置に関する。

(背景技術)

入力端子に信号を入力して回路内のスイッチング素子を動作させ、スイッチングを行うスイッチング装置として、第2図に示した回路構成のもの

が用いられている。このものは、入力端子38、38に信号を入力して、この入力端子38、38に接続された発光素子39を発光させ、その光を光電変換素子D<sub>1</sub>で受光する。光を受光した光電変換素子D<sub>1</sub>は、その光を電気信号に変換して電界効果トランジスタ(以下、「FET」と記す)T<sub>1</sub>に入力し、FET T<sub>1</sub>はその電気信号によって出力端子40、40間のスイッチングを行う。以上のように、第2図のスイッチング装置では入力端子38、38と出力端子40、40との間の信号のやりとりが光によって行われるようになっているため、両端子間が電氣的に絶縁されている(共通帰線を有しない)必要がある場合などに多用されている。

従来、このようなスイッチング装置では、発光素子39、光電変換素子D<sub>1</sub>およびFET T<sub>1</sub>が、それぞれ別の半導体基板上に形成されており、光電変換素子D<sub>1</sub>とFET T<sub>1</sub>との間はワイヤボンディング等で結線されるようになっていた。このため、このようなスイッチング装置を製造する

にあたっては、その組み立てに多数の工程および部品を必要とし、充分な信頼性が得られず、コストも高いものであった。また、前述したように、FET T<sub>1</sub>が、独立した半導体基板上に単独で形成されるようになっているため、半導体基板の切り出しからボンディングまでの間に、FET T<sub>1</sub>の絶縁ゲートが静電気等で絶縁破壊してしまう恐れがある。このため、FET T<sub>1</sub>が搭載されている半導体基板に対しては、アース等の絶縁破壊対策が必要であり、取り扱いが不便なものであった。

以上の問題を解決するために、FET T<sub>1</sub>と光電変換素子D<sub>1</sub>とを同一の半導体基板上に集積することが考えられる。しかしながら、半導体基板自体をFETのドレイン領域として使用する二重拡散形のFETでは、その半導体基板上に他の素子である光電変換素子を形成することは事実上不可能である。

また、半導体基板自体をFETのドレイン領域として使用しないFETであっても、単に同一基

板上に光電変換素子を並べて形成したのでは、その出力電圧がリーク電流のために低下してしまい、実用的なスイッチング装置を得ることはできない。

そこで、誘電体分解基板(DI基板)の各分離島上に、前記各素子を別々に配置することが考えられるが、この方法では生産性に乏しく、また、高価であるため、実用化されるに至っていない。

#### (発明の目的)

この発明は、以上の問題に鑑みてなされたものであって、FETと光電変換素子とが同一基板上に形成されているため、多数の工程や部品を必要とせず、しかも、コストが低くて信頼性が高く、実用性の高い半導体装置を提供することを目的としている。

#### (発明の開示)

以上の目的を達成するため、この発明は、電界効果トランジスタのゲート・ソース間に、少なくとも、光電変換素子アレイが挿入されていて、スイッチング装置の受光部となる半導体装置であっ

て、前記光電変換素子アレイが、それ以外の素子が形成された半導体基板上に、絶縁層を介して形成されていることを特徴とする半導体装置を要旨としている。

以下に、この発明を、その実施例をあらわす図面にもとづいて、くわしく説明する。

まず、第1図の実施例について、説明する。

N型(第1導電型)の低抵抗領域1aと高抵抗領域1bとを有する半導体基板1の前記高抵抗領域1b側の表面に、P型(第2導電型)不純物領域であるP層2・・・が互いに離間して形成されている。各P層2・・・内の表面には、さらに、N型不純物領域であるN<sup>+</sup>層3・・・がそれぞれ2つずつ互いに離間して形成されている。以上各不純物領域が形成された半導体基板1の表面上には、絶縁膜4aを介して、前記各P層2・・・の間をつなぐように、PolySi等からなる電極5・・・が設けられている。そして、この電極5を絶縁ゲート、N<sup>+</sup>層3をソース、各P層2のまわりのN型の半導体基板1をドレインとして、複数の二

重拡散型のFET(DMOSFET)T<sub>1</sub>・・・が形成されている。このような二重拡散型のFETでは、そのチャンネル長が、N型の半導体基板1とN<sup>+</sup>層3とによってはさまれたP層2の厚み、すなわち、半導体基板1へのP層2とN<sup>+</sup>層3との拡散状態によって規定されるため、ホトリソグラフィ技術によらず、短くすることができ、高耐圧、高速特性を実現することができるものである。

各電極5の上面には保護膜を兼ねた絶縁膜4bが形成されており、その上に各FETT<sub>1</sub>間にわたってAl等の導電性薄膜6が形成されている。この導電性薄膜6は、図にみるように、各N<sup>+</sup>層3・・・および各P層(ベース)2・・・とコンタクトしており、ソース電極として使用されるものである。一方、各電極5・・・は図示していないところで接続されており、また、各FETT<sub>1</sub>・・・のドレインは前述したように1つの半導体基板1の1部であるため、これも、電気的に接続されている。したがって、各FETT<sub>1</sub>・・・は並列に接続されていることになる。

、このことによって複数の光電変換素子D<sub>1</sub>・・・が同一方向に直列に接続されていて、光電変換素子アレイが形成されている。そして、この光電変換素子アレイの一方の末端である左はしの光電変換素子の導電性薄膜8は、図にみるように、FETT<sub>1</sub>のゲート5と、導電層6'を介して接続されている。導電層6'は、導電性薄膜6と同時に、この導電性薄膜6と接続しないように形成されているものである。光電変換素子アレイのもう一方の末端である右はしの光電変換素子D<sub>1</sub>の透明導電膜12は、前記導電性薄膜8と同時に形成された導電層8'を介して、各FETT<sub>1</sub>・・・のソース電極である導電性薄膜6と接続されている。そして、このことによって、光電変換素子アレイがFETのゲート・ソース間に挿入されて、各素子の数こそ違おうが、第2図に示したスイッチング装置の右側の回路(受光部)とほぼ等価的な回路が形成されるのである。以上のように、FETおよび光電変換素子アレイが集積された半導体基板の表面には、さらに、必要に応じて図の実施例のよ

以上のようにFETT<sub>1</sub>・・・が形成され、接続された半導体基板1表面上には、このFETT<sub>1</sub>・・・を覆うように絶縁層7が形成されている。

そして、この絶縁層7の上に複数の光電変換素子D<sub>1</sub>・・・が直列に接続された光電変換素子アレイが形成されることでこの発明は構成される。

光電変換素子D<sub>1</sub>は図にみるような構造となっている。すなわち、前記絶縁層7上に光電変換素子アレイに必要な光電変換素子D<sub>1</sub>・・・の数だけの導電性薄膜(Ni-Cr等)8・・・が形成されている。各導電性薄膜8・・・上には、それぞれアモルファスシリコンからなるP層9、I層10、N層11がこの順に積層されており、さらにその上にIn<sub>2</sub>O<sub>3</sub>等の透明導電膜12が設けられていて、以上の各層によってPIN型の光電変換素子(アモルファスシリコンフォトダイオード)D<sub>1</sub>が構成されているのである。

透明導電膜12は、図にみるように、隣接する光電変換素子D<sub>1</sub>の導電性薄膜8と接触しており

うに、絶縁性保護膜13を形成することもできる。なお、図中、14は、基板とは異なる導電形(ここではP<sup>+</sup>型)の不純物を以上の素子を取りかこむような形に拡散して得られるガード・リングであって、この発明に必ずしも必要なものではないが、このようにすることで、この実施例のような二重拡散型FETの絶縁耐圧を向上させ高耐圧化をはかることが可能となるのである。

以上の実施例では、基板がN型であったため、第1導電層がN型で、第2導電層がP型であったが、基板がP型であれば、第1導電層がP型で第2導電層がN型になることは、いうまでもない。

以上のように、この実施例では、光電変換素子アレイが半導体基板1上に、絶縁層7を介して形成されるこの発明の構成を採用しているため、この光電変換素子アレイは、二重拡散型のFETT<sub>1</sub>・・・とは、出力端子であるその両末端以外の部分では電気的に完全に分離されている。このため、二重拡散型のFETと光電変換素子アレイとを以上のように同一基板上に形成することが可能

となるのである。

この発明の別の実施例を、第3図および第4図を参照しながら説明する。第4図中、実線の部分は、この実施例の等価回路をあらわしている。

すなわち、この実施例は、2つのFET $T_1$ 、 $T_2$ の共通のゲート・ソース間に第1の光電変換素子アレイDA $_1$ が挿入されているとともに、この第1の光電変換素子アレイDA $_1$ と並列にノーマリィ・オンのトランジスタ $T_3$ が接続され、このノーマリィ・オンのトランジスタ $T_3$ のゲート・ソース間に第2の光電変換素子アレイDA $_2$ が挿入されてなるものである。このような回路では、ノーマリィ・オンのトランジスタ $T_3$ が光照射時には開放状態、光遮断時には短絡状態となるので、光遮断後も第1の光電素子アレイDA $_1$ に残る電荷をすみやかに放電させることができ、このことによって、光遮断後に2つのFET $T_1$ 、 $T_2$ をすみやかに遮断させることが可能となる。また、光照射が充分でない場合に、FET $T_1$ 、 $T_2$ がオンでもオフでもない状態になるのを防ぐこ

きるのである。

2つのFET $T_1$ 、 $T_2$ の上には、さらに、保護膜を兼ねた絶縁層26が半導体基板21の全表面にわたって形成されている。そして、この絶縁層26の上に、第1の光電変換素子アレイDA $_1$ が形成されるだけでもこの発明の構成となるのであるが、この実施例では、さらに、ノーマリィ・オンのトランジスタ $T_3$ を、2つのFET $T_1$ 、 $T_2$ と同一基板上に形成するとともに、第2の光電変換素子アレイDA $_2$ をも絶縁層26の上に形成するようになっている。このようにすることで、第1の光電変換素子アレイDA $_1$ はもちろんのこと、第2の光電変換素子アレイDA $_2$ から半導体基板へ流出するリーク電流をもなくすることができ、より動作が確実で信頼性の高いスイッチング装置を得ることが可能となるのである。

前述したノーマリィ・オンのトランジスタ $T_3$ は次のようにして構成される。すなわち、半導体基板21表面には、先の2つのFET $T_1$ 、 $T_2$ を構成するN $^+$ 層22、23、23とは少しはな

ともできるのである。

この実施例の具体的構成は第3図のようになっている。すなわち、P型(第1導電型)の半導体基板21の表面に、N型(第2導電型)不純物領域である3つのN $^+$ 層22、23、23が、互いに離間して形成されている。2つのN $^+$ 層23、23は、N $^+$ 層22をはさむように位置しており、その上に、2つのN $^+$ 層23、23とN $^+$ 層22との間をつなぐような位置に、絶縁膜24、24を介して、PolySi等からなる2つの電極25、25が設けられている。なお、この2つの電極25、25は、図にはあらわしていない位置で、図中破線で示したように互いに接続されている。そして、N $^+$ 層22を共通のソース、2つのN $^+$ 層23、23をそれぞれ独立したドレイン、2つの電極25、25をゲートとして、先述した2つのFET $T_1$ 、 $T_2$ が通常のMOS型として形成されている。図中、O $_1$ 、O $_2$ は、それぞれ、ドレインに接続された出力端子であって、このようにすることで、極性の異なった信号を同時に処理で

れた位置に、2つのN $^+$ 層27、28が互いに離間して形成されている。半導体基板21表面上には、前記2つのN $^+$ 層27、28をつなぐような位置に、絶縁膜29を介して、やはりPolySi等からなる電極30が形成されている。そして、この電極30をゲート、N $^+$ 層27をソース、N $^+$ 層28をドレインとしてMOS型のFETが形成されるのであるが、ここでは、図にみるように、N $^+$ 層27とN $^+$ 層28との間にNチャネル31が形成されており、これによってこのFETはNチャネル・デプレションMOSFET、すなわち、ノーマリィ・オンのトランジスタ $T_3$ となるのである。そして、このノーマリィ・オンのトランジスタ $T_3$ の上にも保護膜を兼ねた絶縁層26が形成されていることはいうまでもない。

このようにして形成されたノーマリィ・オンのトランジスタ $T_3$ のソースであるN $^+$ 層27は先の2つのFET $T_1$ 、 $T_2$ の共通のソースであるN $^+$ 層22と、ドレインであるN $^+$ 層28は先の2つのFET $T_1$ 、 $T_2$ のゲートである電極25



と、それぞれ、図中破線で示したように接続されている。

第1および第2の光電変換素子アレイドA<sub>1</sub>、A<sub>2</sub>を構成する1つずつの光電変換素子D<sub>1</sub>およびD<sub>2</sub>は、次のように構成されている。前記絶縁層26の表面上に、第1および第2の光電変換素子アレイドA<sub>1</sub>、A<sub>2</sub>を構成するのに必要な光電変換素子D<sub>1</sub>、D<sub>2</sub>の数だけ(ここでは2つずつ)のP型(第1導電型)Si単結晶薄膜32、32、33、33が形成されている。このように、絶縁層上にSi単結晶薄膜32や33を形成する方法としては、例えば、あらかじめSiの多結晶あるいはアモルファス薄膜を形成しておいて、それにレーザーを照射して溶融させ、冷却して単結晶化する、いわゆる、レーザー溶融結晶化法等があげられるが、それ以外の方法によることも可能である。以上のようにして形成されたP型の各Si単結晶薄膜32、32の表面には、N型(第2導電型)不純物を拡散してN層32a、32aが形成され、Si単結晶薄膜32、32のこの

部分であるP層32b、32bと、このN層32a、32aとのPN接合によって光電変換素子D<sub>1</sub>、D<sub>2</sub>が形成されている。2つの光電変換素子D<sub>1</sub>、D<sub>2</sub>の間には、左側の光電変換素子D<sub>1</sub>のN層32aと右側の光電変換素子D<sub>2</sub>のP層32bとをつなぐ導電性薄膜34aが形成されており、これによって2つの光電変換素子D<sub>1</sub>、D<sub>2</sub>が直列に接続されて、前記第1の光電変換素子アレイドA<sub>1</sub>が形成されている。この第1の光電変換素子アレイドA<sub>1</sub>の一方の末端である左側の光電変換素子D<sub>1</sub>のP層32bは導電性薄膜34bによって、FETT<sub>1</sub>のゲートである電極25と接続されており、もう一方の末端である右側の光電変換素子D<sub>2</sub>のN層32aは導電性薄膜34cを介して、図にはあらわしていない部分で、図中破線で示したように、2つのFETT<sub>1</sub>、T<sub>2</sub>のソースとなるN<sup>+</sup>層22と接続されている。そして、このことによって、第1の光電変換素子アレイドA<sub>1</sub>が2つのFETT<sub>1</sub>、T<sub>2</sub>のゲート、ソース間に、先のノーマリィ・オンのトランジス

タT<sub>1</sub>と並列に挿入されているのである。なお、図中、36、36は絶縁性保護膜である。

一方、各Si単結晶薄膜33、33の表面にも、同様にN型不純物を拡散して、N層33a、33aが形成されており、のこりの部分であるP層33b、33bと、このN層33a、33aとのPN接合によって光電変換素子D<sub>3</sub>、D<sub>4</sub>が形成されている。なお、図中、37、37は、先の36と同様な絶縁性保護膜である。この2つの光電変換素子D<sub>3</sub>、D<sub>4</sub>も、先の光電変換素子D<sub>1</sub>、D<sub>2</sub>と同様に、導電性薄膜35aによって直列に接続されており、これによって第2の光電変換素子アレイドA<sub>2</sub>が形成されている。そして、この第2の光電変換素子アレイドA<sub>2</sub>の一方の末端である左側の光電変換素子D<sub>3</sub>のN層33aが導電性薄膜35bを介してノーマリィ・オンのトランジスタT<sub>2</sub>のゲートである電極30と接続され、他方の末端である右側の光電変換素子D<sub>4</sub>のP層33bが導電性薄膜35cを介して、図中破線で示したようにこのノーマリィ・オンのトランジス

タT<sub>2</sub>のドレインであるN<sup>+</sup>層28と接続されている。そして、このことによって、第2の光電変換素子アレイドA<sub>2</sub>がノーマリィ・オンのトランジスタT<sub>2</sub>のゲート・ソース間に挿入され、以上の構成によって、第4図の等価回路が形成されているのである。なお、この実施例についても、基板の導電型が逆になれば、P型とN型の各層が逆になることは、先の実施例と同様である。

この発明では、さらに、ノーマリィ・オンのトランジスタのゲート・ソース間に、このノーマリィ・オンのトランジスタの密積電荷を放電するための抵抗性素子Rをも、第4図中一点鎖線で示したように接続することができる。このような抵抗性素子Rを備えた別の実施例を、第5図(a)に示す。

この実施例は、FETT<sub>1</sub>のゲート・ソース間に第1の光電変換素子アレイドA<sub>1</sub>が挿入されているとともに、この第1の光電変換素子アレイドA<sub>1</sub>と並列にノーマリィ・オンのトランジスタT<sub>1</sub>が接続され、このノーマリィ・オンのトランジ

スタT<sub>1</sub>のゲート・ソース間に第2の光電変換素子アレイドA<sub>2</sub>と抵抗性素子R<sub>2</sub>とが挿入されてなるものである。抵抗性素子R<sub>2</sub>として、この実施例では、図にみるように、FETのチャネル抵抗（ピンチオフ抵抗）を利用しているが、これは、拡散抵抗や薄膜抵抗、あるいは、ピンチ抵抗等、通常半導体装置で用いられる他の抵抗性素子（高抵抗）であっても構わない。なお、抵抗性素子Rおよびノーマリィ・オンのトランジスタT<sub>2</sub>として、この実施例では、接合型FET（以下、「JFET」と記す）を用いているが、このようなJFETは、第1および第2の光電変換素子アレイドの形成時にも損傷を受けにくいものである。

以上のような回路では、光遮断時には、ノーマリィ・オンのトランジスタT<sub>2</sub>および第2の光電変換素子アレイドA<sub>2</sub>上に残る電荷をも抵抗性素子R<sub>2</sub>によってすみやかに放電させることができ、ノーマリィ・オンのトランジスタT<sub>2</sub>をすみやかに短絡状態とすることができるため、先の第4図の実施例よりもさらにすみやかにFETT<sub>2</sub>を

遮断できるようになるのである。

この第5図(a)の実施例の具体的構成は、第6図のようになっている。すなわち、P型（第1導電型）の半導体基板51の表面に、N型（第2導電型）不純物領域である2つのN層52、53が互いに離間して形成されている。N層52内の表面には、P<sup>+</sup>層54が形成され、このP<sup>+</sup>層54をはさむように、かつ、このP<sup>+</sup>層54と接触しないように、2つのN<sup>+</sup>層55、56が形成されている。P<sup>+</sup>層54は、図中破線で示したように半導体基板51と接続されており、これによって半導体基板51とP<sup>+</sup>層54とは同電位となっている。そして、この同電位となったP<sup>+</sup>層54および半導体基板51をゲート、この両者にはさまれたN層52をチャネル、N<sup>+</sup>層55をドレイン、N<sup>+</sup>層56をソースとしてJFET、すなわち、ノーマリィ・オンのトランジスタT<sub>2</sub>が形成されている。一方、N層53内の表面にも、先のN層52と同様に、1つのP<sup>+</sup>層57と2つのN<sup>+</sup>層58、59が形成されている。そして、先の

ノーマリィ・オンのトランジスタT<sub>2</sub>と同様に、P<sup>+</sup>層57および半導体基板51をゲート、この両者にはさまれたN層53をチャネル、N<sup>+</sup>層58をドレイン、N<sup>+</sup>層59をソースとして、JFETが形成されているのであるが、このJFETでは、ゲートおよびソースが1つの電極60によって、第5図(a)に示したように接続されていて、先述した抵抗性素子Rが形成されているのである。

このようにして、ノーマリィ・オンのトランジスタT<sub>2</sub>と抵抗性素子Rとが形成された半導体基板51表面上には、さらに、絶縁層61が、この半導体基板51全面にわたって形成されている。そして、この絶縁層61の上に、第1および第2の2つの光電変換素子アレイドA<sub>1</sub>、A<sub>2</sub>が形成されることで、この実施例は構成されている。なお、この実施例において、以上2つの光電変換素子アレイドA<sub>1</sub>、A<sub>2</sub>を構成するのに用いられる光電変換素子は、図にみるように、最初の実施例と同様なPIN型のものである。すなわち、

前記絶縁層61上に光電変換素子アレイドに必要な光電変換素子の数だけの導電性薄膜62・・・が形成され、さらに、その上にP層63、I層64、N層65が積層され、最後にその上に透明導電膜66が設けられていて、この透明導電膜66の一端が、隣接する光電変換素子の導電性薄膜62と接触しており、このことによって各光電変換素子が直列に接続されているものである。このような光電変換素子を形成する各層は、最初の実施例のようにアモルファスシリコンであってもよいし、第2の実施例のようにレーザー溶融結晶法によって形成されたSi単結晶であってもかまわない。また、この実施例では、下地である絶縁層61のさらに下に形成されているノーマリィ・オンのFETT<sub>2</sub>や抵抗性素子Rが、先述したように、損傷を受けにくいものであるため、以上2つの方法によらず、その他の方法によって光電変換素子を形成することもできる。

以上のような2つの光電変換素子アレイドのうち、第2の光電変換素子アレイドA<sub>2</sub>は、その一方

の末端である左はしの光電変換素子の透明導電膜66が、図にみるように、ノーマリィ・オンのトランジスタT<sub>1</sub>のソースであるN<sup>+</sup>層56および抵抗性素子RのドレインであるN<sup>+</sup>層58と接続されている。もう一方の末端である右はしの光電変換素子の導電性薄膜62は、図にみるように、ノーマリィ・オンのトランジスタT<sub>2</sub>のゲートであるP<sup>+</sup>層54、抵抗性素子Rのゲート・ソース間をつなぐ電極60および半導体基板51と接続されており、このことによって、第5図(a)の回路のうち、第2の光電変換素子アレイDA<sub>2</sub>、ノーマリィ・オンのトランジスタT<sub>2</sub>、および抵抗性素子Rからなる部分が構成される。そして、このあと、以上の部分を、第1の光電変換素子アレイDA<sub>1</sub>、およびFETと接続すれば、第5図(a)の回路が完成するのである。以上のようにして、ノーマリィ・オンのトランジスタT<sub>1</sub>、第1および第2の光電変換素子アレイDA<sub>1</sub>、DA<sub>2</sub>、ならびに抵抗性素子Rが集積された半導体基板の表面には、さらに、必要に応じて、図のように、絶縁性

保護膜68を形成することもできる。

以上の実施例では、基板がP型であったため、第1導電型がP型で、第2導電型がN型であったが、基板がN型であれば、第1導電型がN型で第2導電型がP型になることは、いうまでもない。その場合には、ノーマリィ・オンのトランジスタT<sub>1</sub>、や抵抗性素子Rは、この実施例のようなN-チャネルのJFETではなく、P-チャネルのJFETとなる。そして、このようなP-チャネルのJFETを使用する場合には、等価回路として、第5図例に示したような回路となるように各素子を接続してやれば、N-チャネルのJFETを使用したときの第5図例の回路、すなわち、この実施例と同様の働きをさせることができるようになる。

つぎに、第7図の実施例について説明する。この実施例は、先の第6図の実施例と、基本的な構成は、ほとんどかわらない。すなわち、半導体基板上に、ノーマリィ・オンのトランジスタT<sub>1</sub>、および抵抗性素子Rとなる2つのJFETが形成さ

れ、その上に、絶縁層61を介して、2つの光電変換素子アレイDA<sub>1</sub>、DA<sub>2</sub>が集積され、各素子が接続されてなるものである。したがって、この実施例を等価回路であらわせば、やはり、第5図(a)の回路となる。そして、この実施例では、前記ノーマリィ・オンのトランジスタT<sub>1</sub>、および抵抗性素子RとなるJFETの構造に関する部分が先の第6図の実施例と異なっている。

すなわち、先の第6図の実施例では、このようなJFETは、P型の半導体基板51上にN層52、53およびP<sup>+</sup>層54、57を、この順に拡散したもの、つまり、二重拡散型のものではあったが、この実施例では、図にみるように、JFETのチャネル領域を、エピタキシャル成長によって形成している。このようにチャネル領域をエピタキシャル成長によって形成するのは、二重拡散によって容易ではなかった不純物の濃度の制御が、エピタキシャル成長では簡単に行え、それによってJFETのピンチオフ電圧を希望する値に設定することが可能となるからである。このような

エピタキシャル成長によるチャネル領域の形成は、たとえば、つぎのようにして行われる。

まず、P型(第1導電型)の半導体層51'を用意する。つぎに、この半導体層51'の上に、エピタキシャル成長によってN型(第2導電型)のエピタキシャル成長層を形成する。そして、このエピタキシャル成長層にP型不純物を拡散してP<sup>+</sup>層69・・・を形成すれば、それによって前記エピタキシャル成長層が複数のN層52'、53'・・・に分離されるのである。

このようにして分離形成されたN層52'、53'以外の部分は、前述したように、先の第6図の実施例とほぼ同じである。すなわち、N層52'の表面には、1つのP<sup>+</sup>層54と2つのN<sup>+</sup>層55、56とが互いに離間して形成されており、これによってノーマリィ・オンのトランジスタT<sub>1</sub>が形成されている。N層53'の表面には、同じく、1つのP<sup>+</sup>層57と2つのN<sup>+</sup>層58、59とが互いに離間して形成されていて、そのP<sup>+</sup>層57とN<sup>+</sup>層59とが電極60によって接続されてチャ

ネル抵抗を利用した抵抗性素子Rが形成されている。そして、その上に絶縁層61を介して第1および第2の光電変換素子アレイDA<sub>1</sub>, DA<sub>2</sub>が形成され、これらの各素子と、さらに、図にはあらわしていないFETT<sub>1</sub>とが接続されて、第5図(a)の回路が構成されるのである。

なお、この実施例でも、第6図の実施例のように絶縁性保護膜68を半導体基板の表面に設けるようにしても構わない。また、この実施例においても、基板の導電形が逆になれば、P型とN型の各層が逆になることは、第6図の実施例と同様である。そして、そのときには、先の実施例と同様に、各素子を第5図(a)の回路と等価になるように接続してやればよい。

つぎに、第8図の実施例について説明する。なお、この実施例では、ノーマリィ・オンのトランジスタT<sub>1</sub>および抵抗性素子Rとして働くJFETがPチャネル型であるので、第5図(a)の回路ではなく、第5図(b)の回路と等価であるが、それ以外の構成は先の2つの実施例とほぼかわらない。

チャネル、P<sup>+</sup>層72をドレイン、P<sup>+</sup>層73をソースとしてJFET、すなわち、ノーマリィ・オンのトランジスタT<sub>1</sub>が形成されている。一方N層53'内の表面にもP層75と、それと離間したN<sup>+</sup>層74とが形成されている。P層75内の表面には、さらに、1つのN<sup>+</sup>層76と2つのP<sup>+</sup>層77, 78とが、先のP層70の場合と同様に配列されている。そして、先のノーマリィ・オンのトランジスタT<sub>1</sub>と同様に、N<sup>+</sup>層76およびN層53'をゲート、この両者には含まれたP層75をチャネル、P<sup>+</sup>層77をドレイン、P<sup>+</sup>層78をソースとして、JFETが形成されているのであるが、このJFETは、ゲートおよびソースが1つの電極60によって、第5図(a)に示したように接続されていて、抵抗性素子Rとして使用されるようになっている。

以上のように、この実施例では、半導体基板上に島状に分離形成されたN層52', 53'内に、さらに、二重拡散によってノーマリィ・オンのトランジスタT<sub>1</sub>や抵抗性素子RとなるJFETを形

すなわち、ノーマリィ・オンのトランジスタT<sub>1</sub>と抵抗性素子Rとが形成された半導体基板上に、絶縁層61を介して、第1および第2の光電変換素子アレイDA<sub>1</sub>, DA<sub>2</sub>が形成されてなるものである。したがって、以下では、先の2つの実施例との相違点についてのみ説明する。

P型(第1導電型)の半導体層51'上にN型(第2導電型)のエピタキシャル成長層が形成され、それが、P型不純物領域であるP<sup>+</sup>層69・・・によって島状に分離されて複数のN層52', 53', ...となっている。N層52'の表面にはP層70が形成されており、このP層70内の表面には、さらに、1つのN<sup>+</sup>層71と2つのP<sup>+</sup>層72, 73とが互いに離間して形成されている。P層70外のN層52'の表面には、このP層70と接触しないように、N<sup>+</sup>層74が形成されている。そして、図中破線で示したように、このN<sup>+</sup>層74と、P層70内のN<sup>+</sup>層71とが接続されており、それによってこのN<sup>+</sup>層71とN層52'とをゲート、この両者には含まれたP層70をチ

成しており、各JFETは、前記N層52', 53'内だけで構成されるようになっている。したがって、この実施例では、先の2つの実施例(すなわち、基板自体をも素子の一部として使用するもの)のように、基板自体の電位が、JFETの動作にともなって変化してしまうことなく、基板自体、つまり、半導体層51'やP<sup>+</sup>層69・・・等は常に一定の電位状態を保つことができる。このため、先の2つの実施例では、同一基板上にその他の素子、たとえば、FETT<sub>2</sub>等を形成することができなかったのに対し、この実施例では、FETT<sub>2</sub>等を同一基板上に形成することができるようになっているのである。このように、この実施例では、ノーマリィ・オンのFETT<sub>1</sub>や抵抗性素子Rと同一基板上に、その他の素子、たとえば、FETT<sub>2</sub>等をも形成することができるため、素子数が第1および第2の実施例よりも多いにもかかわらず、部品数や工程は極端に増加することがなく、しかも動作は第6図や第7図の実施例と同様のものが得られる。

これまでは、この発明の半導体装置について、以上5つの実施例にもとづいて説明してきたが、この発明の構成は、以上の実施例に限られるものではない。たとえば、光電変換素子アレイは、以上の実施例のように、FETやノーマリィ・オンのトランジスタの直上に設けられる必要はなく、絶縁層上の、FETやノーマリィ・オンのトランジスタからはずれた位置に設けられるようであっても構わない。また、光電変換素子アレイとして、第1の実施例では5つの、第2の実施例では2つの、第3～第5の実施例では3つの光電変換素子が、それぞれ、直列に接続されたものを使用しているが、この光電変換素子の数は少なくとも2つ以上であれば、いくつであってもかまわない。このように光電変換素子を、少なくとも2つ以上直列に接続した光電変換素子アレイとして用いなければならないのは、次のような理由からである。

(1) FET( $T_1$ ,  $T_2$  および  $T_3$ ) をある程度以上低抵抗にする、すなわち、導通状態とする

ためには、そのFETのゲートスレッショールド電圧よりもさらに1V程高いゲート電圧を必要とする。

(2) ノーマリィ・オンのトランジスタ( $T_1$ ,  $T_2$  等)では、一般に、そのゲートスレッショールド電圧よりも低い電圧でもサブスレッショールド電流が流れているため、これをリーク電流程度まで下げる、すなわち、ほぼ完全に遮断するためには、600mV以上のゲート電圧を必要とする。

(3) 不純物半導体薄膜のPIN接合あるいはPN接合1つでは以上(1)、(2)項を満足する十分な電圧が得られない。

以上のような理由から、この発明では、光電変換素子を2つ以上直列に接続して、1単位的光電変換素子の出力を加算し、FETやノーマリィ・オンのトランジスタを完全に作動できるだけの出力電圧を作ることのできる光電変換素子アレイを形成してやることが不可欠となるのである。また、この光電変換素子を直列に接続するにあたって

は、以上の実施例のように各光電変換素子の出力電極同士を接続したり、1つの電極で兼用したりしてもよいし、それ以外の方法として、たとえば、先の実施例のようなPIN接合では、このPIN単位をくりかえし積層して1つの素子とすることもできる。以上の実施例では、このように構成された光電変換素子アレイの末端と、FETあるいはノーマリィ・オンのトランジスタとの接続のために、金属薄膜、透明導電膜等の導電性薄膜を使用していたが、接続する相手によっては、P層あるいはN層をそのまま延長して接続するようにしてもかまわない。また、以上の実施例では、絶縁層上に形成される光電変換素子として、前述したように、アモルファスシリコンや、レーザー溶融結晶法によるSi単結晶の薄膜を形成して使用していたが、下地であるFET等に損傷を与えないか、あるいは、損傷を与えてもそれを回復できるのであれば、Se、CdS等の他の材料を用いた光電変換素子を使用することもできる。

第1の実施例では、FETとして、二重拡散型

のMOSFETを使用し、第2の実施例では、FETあるいはノーマリィ・オンのトランジスタとして、通常のMOSFETを使用し、さらに、第3～第5の実施例ではノーマリィ・オンのトランジスタや低抵抗性素子としてJFETを使用しているが、それぞれ、ちがったタイプのFETを使用することも可能である。このことは、光電変換素子についても同様であって、第1および第3～第5の実施例にPN接合型の光電変換素子を使用したり、第2の実施例にPIN接合型の光電変換素子を使用したりすることもできる。また、この発明では、以上の実施例で用いられていない素子を同一基板上に形成することもでき、回路構成も、それらの素子を含んだものとすることもできる。要するに、FETのゲート・ソース間に、少なくとも、光電変換素子アレイが挿入されていて、この光電変換素子アレイが、前記FET等の素子が形成された半導体基板表面を覆うように形成された絶縁層上に形成されるようになっていれば、その他の構成は特に限定されないのである。

以上のように、この発明の半導体装置は、FET等の素子が形成された半導体基板上に、この半導体基板表面を覆うように絶縁層が形成され、さらにその上に光電変換素子アレイが形成されるようになっており、DI基板を必要とせず、同一基板上に光電変換素子アレイとその他の素子とを電気的に分離して形成することができるため、多数の工程や部品を必要とせず、しかも、コストが低くて信頼性が高く、実用性の高いものとなっている。

#### 〔発明の効果〕

この発明の半導体装置は、以上のように構成されており、FETのゲート・ソース間に、少なくとも光電変換素子アレイが挿入されていて、この光電変換素子アレイが、それ以外の素子が形成された半導体基板表面を覆うように形成された絶縁層上に形成されるようになっていたため、DI基板を必要とせずに、光電変換素子と他の素子とを同一基板上に形成することができ、多くの工程や部品を必要とせず、しかも、コストが低くて信頼

性が高く、実用性の高いものとなっている。

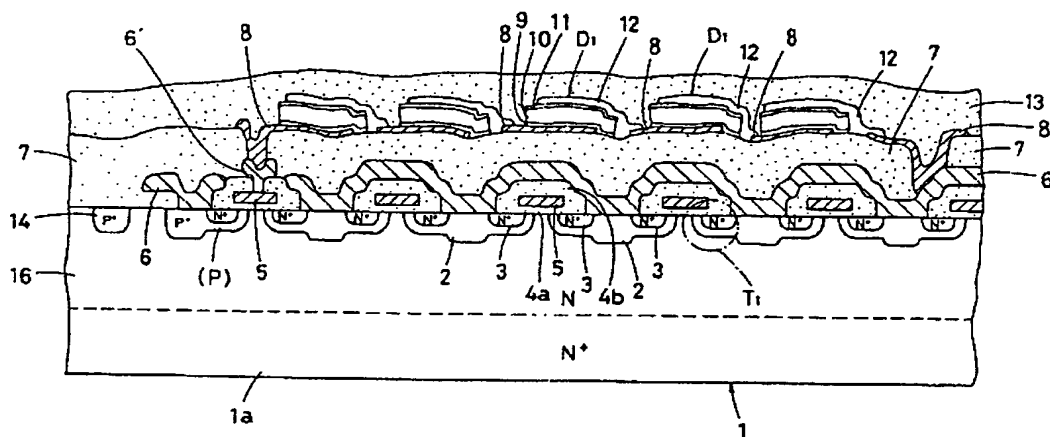
#### 4. 図面の簡単な説明

第1図はこの発明にかかる半導体装置の一実施例の構造をあらわす説明図、第2図はスイッチング装置の一般的な構成をあらわす回路図、第3図はこの発明にかかる半導体装置の別の実施例の構造をあらわす説明図、第4図はこの実施例の等価回路図、第5図(a)、(b)は、それぞれ、さらに別の実施例の等価回路図、第6図はこの実施例の要部の構造をあらわす説明図、第7図および第8図は、それぞれ、さらに別の実施例の要部をあらわす説明図である。

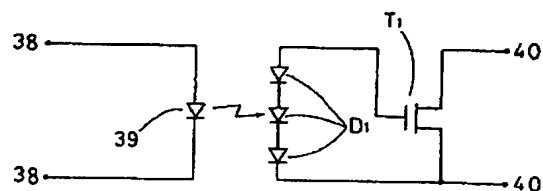
T<sub>1</sub>、T<sub>2</sub>、T<sub>3</sub>…電界効果トランジスタ D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>…光電変換素子アレイ 1、2、3…半導体基板 7、2、6、6、1…絶縁層

代理人 弁理士 松本武彦

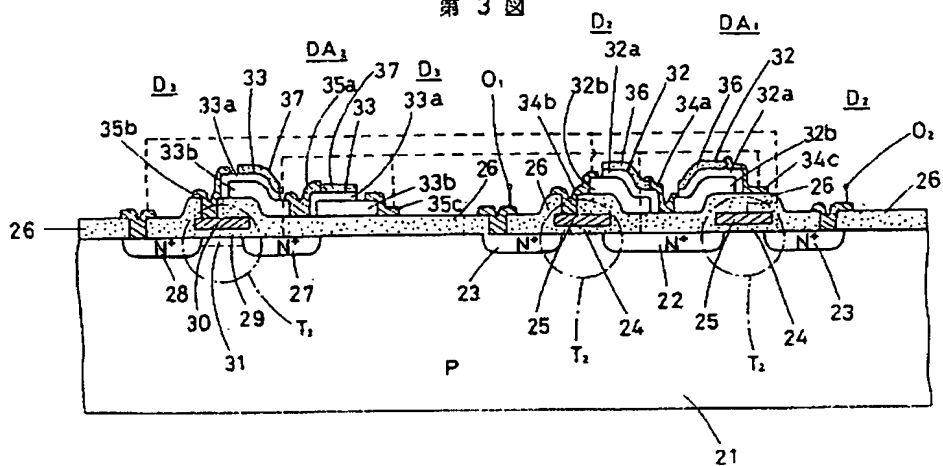
第1図



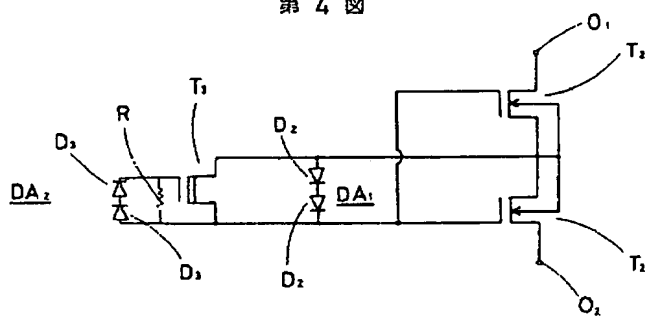
第2図



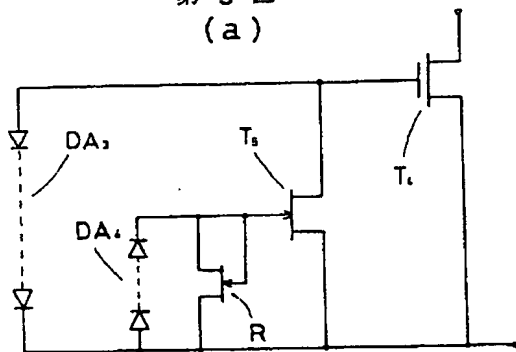
第 3 図



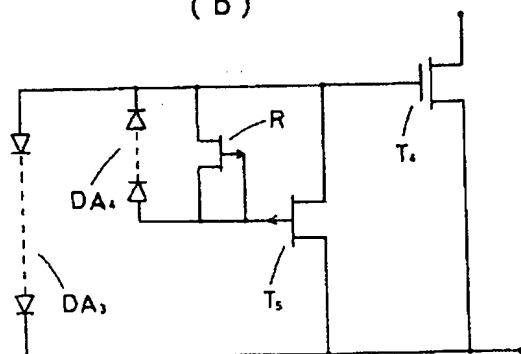
第 4 図



第 5 図  
(a)



(b)







手続補正書 (自発)

昭和60年12月25日

特許庁長官 殿

## 1. 事件の表示

昭和60年特許願第246734号

## 2. 発明の名称

半導体装置

## 3. 補正をする者

事件との関係

特許出願人

居 所

東京都千代田区霞が関一丁目3番1号

氏 名

(114) 工業技術院長  
等々力 達 (ほか1名)

## 4. 工業技術院長の復代理人 (松下電工株式会社の代理人)

住 所 〒530 大阪市北区天神橋2丁目4番17号

千代田第一ビル8階  
電 話 (06) 352-6846

氏 名

(7346) 弁理士 松 本 武 彦

## 5. 補正により増加する発明の数

な し

## 6. 補正の対象

明細書および図面

## 7. 補正の内容

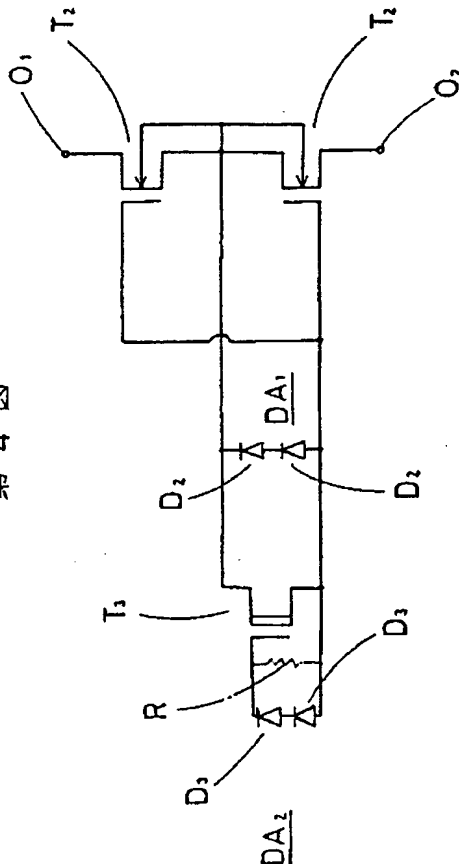
(1) 明細書第8頁第6行に「光電変換素子」とあるを、「光電変換素子」と訂正する。

(2) 明細書第22頁第3行に「P層63」とあるを、「N層63」と訂正する。

(3) 明細書第22頁第4行に「N層65」とあるを、「P層65」と訂正する。

(4) 第4図を別紙のとおり訂正する。

図4



手続補正書 (自発)

昭和61年 1月 9日

特許庁長官 殿

## 1. 事件の表示

昭和60年特許願第246734号

## 2. 発明の名称

半導体装置

## 3. 補正をする者

事件との関係

特許出願人

居 所

東京都千代田区霞が関一丁目3番1号

氏 名

(114) 工業技術院長  
等々力 達 (ほか1名)

## 4. 工業技術院長の復代理人 (松下電工株式会社の代理人)

住 所 〒530 大阪市北区天神橋2丁目4番17号

千代田第一ビル8階  
電 話 (06) 352-6846

氏 名

(7346) 弁理士 松 本 武 彦

## 5. 補正により増加する発明の数

1



## 6. 補正の対象

F 60-246734

明細書および図面

## 7. 補正の内容

① 明細書の特許請求の範囲欄の全文を下記のとおり訂正する。

—記—

「(1) 電界効果トランジスタのゲート・ソース間に、少なくとも、光電変換素子アレイが挿入されていて、スイッチング装置の受光部となる半導体装置であって、前記光電変換素子アレイが、前記電界効果トランジスタが形成された半導体基板上に、絶縁層を介して形成されていることを特徴とする半導体装置。

(2) 光電変換素子アレイと並列に接続されたノーマリィ・オンのトランジスタと、このノーマリィ・オンのトランジスタのゲート・ソース間に挿入された第2の光電変換素子アレイとをも備えており、前記ノーマリィ・オンのトランジスタが電界効果トランジスタと同一の半導体基板上に形成されているとともに、第1および第2の光電変換

④ 明細書第6頁第1行に「それ以外の素子」とあるを、「前記電界効果トランジスタ」と訂正する。

⑤ 明細書第6頁第3行ないし同頁第4行の「要旨とし」と「ている。」の間に、下記の文言を挿入する。

—記—

「、第2の発明は、第1の光電変換素子アレイとノーマリィ・オンのトランジスタとが並列に接続されているとともに、このノーマリィ・オンのトランジスタのゲート・ソース間には、第2の光電変換素子アレイと、前記ノーマリィ・オンのトランジスタの蓄積電荷を放電するための抵抗性素子とが並列に接続されており、電界効果トランジスタのゲート・ソース間に挿入されてスイッチング装置の受光部となる半導体装置であって、前記第1および第2の光電変換素子アレイが、少なくとも前記ノーマリィ・オンのトランジスタが形成された半導体基板上に、絶縁層を介して形成されていることを特徴とする半導体装置を要旨とし」

素子アレイがこの半導体基板上に形成された絶縁層の上に形成されている特許請求の範囲第1項記載の半導体装置。

(3) 第1の光電変換素子アレイとノーマリィ・オンのトランジスタとが並列に接続されているとともに、このノーマリィ・オンのトランジスタのゲート・ソース間には、第2の光電変換素子アレイと、前記ノーマリィ・オンのトランジスタの蓄積電荷を放電するための抵抗性素子とが並列に接続されており、電界効果トランジスタのゲート・ソース間に挿入されてスイッチング装置の受光部となる半導体装置であって、前記第1および第2の光電変換素子アレイが、少なくとも前記ノーマリィ・オンのトランジスタが形成された半導体基板上に、絶縁層を介して形成されていることを特徴とする半導体装置。」

② 明細書第5頁第5行に「誘電体分解基板」とあるを、「誘電体分離基板」と訂正する。

③ 明細書第5頁第17行に「この発明は、」とあるを、「第1の発明は、」と訂正する。

⑥ 明細書第6頁第5行ないし同頁第7行に「以下に、・・・説明する。」とあるを、下記のごとくに訂正する。

—記—

「以下に、これらの発明を、その実施例をあらわす図面を参照しつつ、くわしく説明する。

まず、第1の発明について、第1図の実施例にもとづいて、説明する。」

⑦ 明細書第11頁第2行に「この発明」とあるを、「第1の発明」と訂正する。

⑧ 明細書第18頁第9行ないし第19頁第3行に「この発明では、さらに、・・・挿入されるものである。」とあるを、下記のごとくに訂正する。

—記—

「つぎに、第2の発明について、実施例にもとづいて説明する。

この第2の発明は、第5図(a)に一点鎖線で囲んだ部分であって、図にみるようにFETT.のゲート・ソース間に挿入されて使用されるものであ

る。」

⑩ 明細書第27頁第4行ないし同頁第5行の「あらわしていない」と「F E T T。」の間に、「別の半導体基板上に形成された」を挿入する。

⑪ 明細書第27頁第19行に「第5図(b)の回路」とあるを、「第5図(b)中の一点鎖線で囲んだ部分の回路」と訂正する。

⑫ 明細書第31頁第1行に「この発明」とあるを、「これら2つの発明」と訂正する。

⑬ 明細書第31頁第3行、明細書第32頁第14行、第34頁第1行ないし同頁第12行、第35頁第1行に、それぞれ、「この発明」とあるを、「これらの発明」と訂正する。

⑭ 明細書第31頁第9行ないし同頁第12行に「また、光電変換素子アレイとして・・・3つの光電変換素子が、」とあるを、下記のごとくに訂正する。

—記—

「また、光電変換素子アレイとして、第1の発明の最初の実施例では5つの、第2の実施例では2

されないのである。」とあるを、下記のごとくに訂正する。

—記—

「要するに、第1の発明では、F E Tのゲート・ソース間に、少なくとも、光電変換素子アレイが挿入されていて、この光電変換素子アレイが、前記F E Tが形成された半導体基板表面を覆うように形成されている絶縁層上に設けられており、第2の発明では、第1の光電変換素子アレイとノーマリィ・オンのトランジスタとが並列に接続されているとともに、このノーマリィ・オンのトランジスタのゲート・ソース間には、第2の光電変換素子アレイと、前記ノーマリィ・オンのトランジスタの蓄積電荷を放電するための抵抗性素子とが並列に接続されていて、前記第1および第2の光電変換素子アレイが、少なくとも前記ノーマリィ・オンのトランジスタが形成された半導体基板上に、絶縁層を介して形成されているのであれば、その他の構成は特に限定されないのである。」

⑮ 明細書第35頁第12行ないし同頁第17

つの、第2の発明の3つの実施例では3つの光電変換素子が、」

⑯ 明細書第33頁第20行に「第1の実施例では、」とあるを、「第1の発明の最初の実施例では、」と訂正する。

⑰ 明細書第34頁第3行ないし同頁第4行に「第3～第5の実施例では」とあるを、「第2の発明の3つの実施例では」と訂正する。

⑱ 明細書第34頁第7行ないし同頁第11行に「このことは、・・・することもできる。」とあるを、下記のごとくに訂正する。

—記—

「このことは、光電変換素子についても同様であって、第1の発明の最初の実施例および第2の発明の3つの実施例にP N接合型の光電変換素子を使用したり、第1の発明の第2の実施例にP I N接合型の光電変換素子を使用したりすることもできる。」

⑲ 明細書第34頁第15行ないし同頁第20行に「要するに、・・・その他の構成は特に限定

行に「この発明の・・・形成されるようになっていたため、」とあるを、下記のごとくに訂正する。

—記—

「これらの発明の半導体装置は、以上のように構成されており、第1の発明では、F E Tのゲート・ソース間に、少なくとも、光電変換素子アレイが挿入されていて、この光電変換素子アレイが、前記F E Tが形成された半導体基板表面を覆うように形成されている絶縁層上に設けられており、第2の発明では、第1の光電変換素子アレイとノーマリィ・オンのトランジスタとが並列に接続されているとともに、このノーマリィ・オンのトランジスタのゲート・ソース間には、第2の光電変換素子アレイと、前記ノーマリィ・オンのトランジスタの蓄積電荷を放電するための抵抗性素子とが並列に接続されていて、前記第1および第2の光電変換素子アレイが、少なくとも前記ノーマリィ・オンのトランジスタが形成された半導体基板上に、絶縁層を介して形成されているため、」



手続料金 10,000円 (自費)

昭和61年 2月19日

特許庁長官 殿

1. 事件の表示

昭和60年特許願第246734号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係 特許出願人

居 所 東京都千代田区霞が関一丁目3番1号

氏 名 (114) 工業技術院長  
等々力 達 (ほか1名)

4. 工業技術院長の復代理人 (松下電工株式会社の代理人)

住 所 〒530 大阪市北区天神橋2丁目4番17号

千代田第一ビル8階

電 話 (06) 352-6846

氏 名 (7346) 弁理士 松 本 武 彦

5. 補正により増加する発明の数

な し

6. 補正の対象

別紙のとおり

7. 補正の内容

別紙のとおり

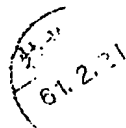
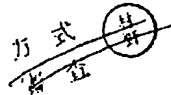
6. 補正の対象

明細書および図面

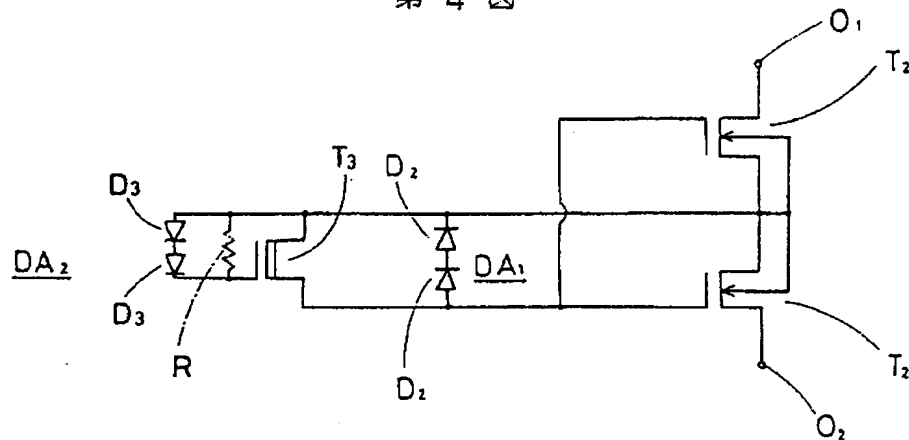
7. 補正の内容

(1) 明細書第19頁第5行ないし同頁第6行の「拡散抵抗や」と「薄膜抵抗」の間に、「多結晶シリコン、アモルファスシリコン等を用いた」を挿入する。

(2) 第4図を別紙のとおりに訂正する。



第 4 図



***This Page Blank (uspic)***